

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-228763

(43)Date of publication of application : 22.09.1988

(51)Int.Cl.

H01L 29/80

H01L 29/205

(21)Application number : 62-063026

(71)Applicant : FUJITSU LTD

(22)Date of filing : 18.03.1987

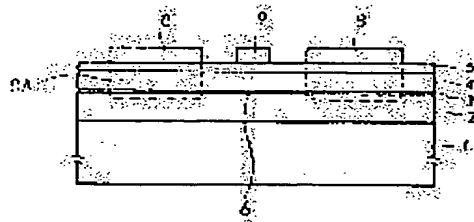
(72)Inventor : OHORI TATSUYA
TAKIGAWA MASAHIKO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the performance of a high electron-mobility FET by forming the hetero-junction of an InGaAs layer and an InGaP layer, to which an impurity is doped, and using the InGaAs layer as the channel of interface-quantized carriers.

CONSTITUTION: An AlGaAs buffer layer 2, an InGaAs layer 3, an InGaP electron supply layer 4 and a GaAs layer 5 are shaped onto a semi-insulating GaAs substrate 1. Source-drain electrodes 8 are patterned onto the layer by employing AuGe/Au, etc., and alloy regions 8A are formed in depth reaching the layer 3 through heat treatment. A gate electrode 9 is shaped onto the layer 5. According to such constitution, the surface concentration of a two-dimensional electron gas is increased by the hetero-junction of the layer 3 and the layer 4. Since the electrode 9 is formed onto the layer 5, the large height of a Schottky barrier is acquired, thus improving performance.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-228763

⑤ Int.Cl.⁴

H 01 L 29/80
29/205

識別記号

庁内整理番号

H-8122-5F
8526-5F

⑬ 公開 昭和63年(1988)9月22日

審査請求 有 発明の数 1 (全5頁)

⑭ 発明の名称 半導体装置

⑮ 特 願 昭62-63026

⑯ 出 願 昭62(1987)3月18日

⑰ 発 明 者 大 堀 達 也 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑱ 発 明 者 滝 川 正 彦 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑲ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑳ 代 理 人 弁理士 井 桁 真一

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1) インジウムガリウム砒素化合物半導体層と不純物をドーブしたインジウムガリウム燐化合物半導体層とのヘテロ接合を備えて、該インジウムガリウム砒素化合物半導体層を界面量子化されたキャリアのチャネルとすることを特徴とする半導体装置。

2) 前記インジウムガリウム砒素化合物半導体層が、何れもガリウム砒素化合物単結晶に格子整合する第3の化合物半導体層と前記インジウムガリウム燐化合物半導体層との間に設けられてなることを特徴とする特許請求の範囲第1項記載の半導体装置。

3) 前記インジウムガリウム砒素化合物半導体層及び前記インジウムガリウム燐化合物半導体層が、ガリウム砒素化合物半導体基板上に格子定数

差を緩和する半導体層を介して形成され、該インジウムガリウム砒素化合物半導体層と該インジウムガリウム燐化合物半導体層とが相互に格子整合することを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(概要)

この発明は、界面量子化されたキャリアを利用する半導体装置において、

$\text{In}_x\text{Ga}_{1-x}\text{As}$ 半導体層と $\text{In}_x\text{Ga}_{1-x}\text{P}$ 半導体層とでヘテロ接合を形成し、該 $\text{In}_x\text{Ga}_{1-x}\text{P}$ 半導体層をキャリア供給層、該 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 半導体層をキャリアのチャネルとすることにより、

キャリア濃度の増大、安定性の向上などを実現するものである。

(産業上の利用分野)

本発明は半導体装置、特に界面量子化されたキャリアを利用する高電子移動度電界効果トランジ

スタ(HEMT)等の化合物半導体装置の改善に関する。

例えばHEMTでは空間分離ドーピングとヘテロ接合界面による量子化によって電子の移動度を高めており、高速デバイスとして強い期待が寄せられているが、なお後述の如く改善が要望されている。

(従来の技術)

ヘテロ接合界面によるキャリアの量子化と空間分離ドーピングにより高いキャリア移動度を実現している半導体装置の例として、HEMTの一例の模式断面図及びエネルギーバンド図を第4図(a)、(b)に示す。

その半導体基体は半絶縁性砒化ガリウム(GaAs)基板21上に、バッファ層とチャネル層を兼ねるノンドープのi型GaAsチャネル層23と、これより電子親和力が小さい砒化アルミニウムガリウム($Al_xGa_{1-x}As$)からなるn型電子供給層24が積層され、このAlGaAs電子供給層24からGaAs層23へ遷移した電子によってヘテロ接合界面近傍に2次元電子ガス26が形成される。この2次元電子ガス26は不純

物散乱による移動度低下が殆どなく、格子散乱が減少する例えば77K程度以下の低温において最も高い移動度が得られる。

この半導体基体上にソース、ドレイン電極28とゲート電極29を設け、ゲート電極29によるショットキ空乏層で2次元電子ガス26の面濃度を制御してトランジスタ動作が行われる。

このHEMTの電子供給層である $Al_xGa_{1-x}As$ 層24のAlAsとGaAsの混晶比xは、2次元電子ガス26の移動度 μ_n 及び面濃度 N_s を比較検討して選択されるが、移動度 μ_n は $x=0.2\sim 0.3$ 程度で最大となり、また面濃度 N_s からはi形GaAs層23との伝導帯のエネルギー準位差を0.24eV程度以上、従って $x=0.30$ 程度以上とすることが望ましい。

しかしながら他方において、 $Al_xGa_{1-x}As$ の混晶比xを0.25程度より大きくすればドーブしたSi等がDXセンターと呼ばれる深いドナー準位を形成する。このためにドーピング量を増加してもこれに見合って2次元電子ガス26の面濃度 N_s が増大せず、更に200K程度以下で赤外線が入射すればDX

センターから伝導帯に電子が励起され、光照射を停止してもこの伝導電子がドナー準位に落ちないPPC(persistent photo conductivity)等の現象を示す。

従って上述の如きGaAs/AlGaAs系HEMTでは、ドレイン電流、伝達コングクタンクス g_m 等が制約され、更にこれらの特性及び閾値電圧 V_{th} 等に大きい温度依存性が現れて動作の安定性が低下している。

この様な問題点のあるGaAs/AlGaAs系HEMTを改善するために、本出願人は先に特願昭58-195579号により第4図(b)にエネルギーバンド図を示す下記の構造を提供している。

該発明による半導体装置は、電子供給層24Aを磷化インジウムガリウム($In_{0.48}Ga_{0.52}P$)によって形成する。 $InGaP$ はDXセンターが形成されないために、2次元電子ガス26の面濃度 N_s の増大、動作の不安定性の改善を実現するのみならず、その構成元素にアルミニウム(Al)を含まないために、有機金属熱分解気相成長(MO-CVD)法などの気相成

長プロセス中及び成長後の化学的安定性が向上する効果も得ている。

(発明が解決しようとする問題点)

前記先願発明は上述の如き効果を与えているが、その利点を損なうことなく2次元電子ガスの面濃度 N_s を更に増加するなどの改善を推進して、高速デバイスとして期待が大きいHEMT等の性能を向上することを目的とする。

(問題点を解決するための手段)

前記問題点は、インジウムガリウム砒素化合物($In_xGa_{1-x}As$)半導体層と、不純物をドーブしたインジウムガリウム磷化合物($In_xGa_{1-x}P$)半導体層とのヘテロ接合を備えて、該 $In_xGa_{1-x}As$ 半導体層を界面量子化されたキャリアのチャネルとする本発明による半導体装置により解決される。

(作 用)

本発明に用いる $In_xGa_{1-x}P/In_xGa_{1-x}As$ のヘテロ

接合は、例えば前者をGaAsに格子整合する $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ とし後者を $\text{In}_{0.15}\text{Ga}_{0.85}\text{As}$ とした場合に $\Delta E_c = 0.32\text{eV}$ となり、先願発明の $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}/\text{GaAs}$ ヘテロ接合の $\Delta E_c = 0.2\text{eV}$ より大きい伝導帯エネルギー単位差が得られ、2次元電子ガスの面濃度 N_s の増大が達成される。

なお $\text{In}_x\text{Ga}_{1-x}\text{As}$ をチャネル層に用いることは、例えばインジウム燐(InP)基板上で $x = 0.53$ 程度の $\text{In}_x\text{Ga}_{1-x}\text{As}$ をチャネル層とし、 InP を電子供給層とする例(例えば特開昭58-196057号、特開昭59-5675号)等で従来知られているが、この様な従来例でも $\Delta E_c = 0.2\text{eV}$ 程度である。

ただし $\text{In}_x\text{Ga}_{1-x}\text{As}$ は、半導体装置の基板として多く用いられるGaAsに対して格子定数に差があり、本半導体装置をGaAs基板を用いて実現するには、例えばこの $\text{In}_x\text{Ga}_{1-x}\text{As}$ 半導体層を量子化されたキャリアのチャネルとして必要な数10nm程度以下の厚さに止めて格子不整合による転位の発生を防止するか、或いはGaAs半導体基板上に格子定数差を緩和するバッファ層を介して、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ 半導体

層及び $\text{In}_x\text{Ga}_{1-x}\text{P}$ 半導体層を相互に格子整合させて成長するなどの構造を用いる。

(実施例)

以下本発明を実施例により具体的に説明する。

第1図(a)、(b)は本発明の第1の実施例を示す模式断面図及びエネルギーバンド図である。

本実施例の半導体基体は半絶縁性GaAs基板1上に、 AlGaAs バッファ層2、 InGaAs チャネル層3、 InGaP 電子供給層4、GaAs層5が例えば下記の如くMOCVD法により形成されている。

符号	組成	不純物	厚さ
5	GaAs	$\text{Si}-1 \times 10^{18}\text{cm}^{-3}$	$\approx 10\text{nm}$
4	$\text{In}_x\text{Ga}_{1-x}\text{P}; x=0.48$	$\text{Si}-1 \times 10^{18}\text{cm}^{-3}$	$\approx 30\text{nm}$
3	$\text{In}_x\text{Ga}_{1-x}\text{As}; x=\text{下記}$	ノンドープ	下記
2	$\text{Al}_x\text{Ga}_{1-x}\text{As}; x=\text{下記}$	ノンドープ	$\approx 1\mu\text{m}$

本実施例ではバッファ層2を $x = 0.2 \sim 0.3$ 程度の $\text{Al}_x\text{Ga}_{1-x}\text{As}$ 層としているが、これは例えば $10^{11}\Omega\text{cm}$ 程度以上の高い抵抗率を得るためである。なおこのバッファ層2に AlGaAs を用いてもノンドー

プの高抵抗層であるために前記の問題は生じない。またバッファ層2をGaAs或いは $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ などとする事も可能であり、この場合にはそのエネルギーバンドが第1図(b)に破線で例示する形状となる。

本実施例の構成では結晶欠陥の発生も考慮して、 $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3の混晶比 x を例えば0.15~0.20、厚さを例えば10~15nm程度に選択する。 x を大きくすれば $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層4との間の ΔE_c が大きくなるが、GaAsとの格子定数差も大きく厚さが制限される。本実施例ではこれらを例えば下記データ例に示す値としている。

この半導体基体上にソース、ドレイン電極8を例えば金ゲルマニウム/金(AuGe/Au)を用いてパターニングし、熱処理を行って $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3に達する深さに合金領域8aを形成する。

またゲート電極9をGaAs層5上に例えばAlを用いて配設する。この様にゲート電極9をGaAs層5上に設けることにより、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層4上に設けるより大きいショットキバリア高さ

が得られる。

第2図は本実施例と前記先願発明の半導体基体について、温度300K及び77Kにおける2次元電子ガス6の面濃度 N_s 及び移動度 μ_n の平均値を示す図であり、MOCVD法によって成長した各試料の $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層4は不純物濃度 $1 \times 10^{18}\text{cm}^{-3}$ 、厚さ37nmとしている。

▲と△で示す本発明の実施例は $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3の混晶比 x を0.15、厚さを8.7nm、■と□で示す実施例は $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャネル層3の混晶比 x を0.15、厚さを17nmとしている。また先願発明の試料は●と○で示し、▲、■、●は300K、△、□、○は77Kを示す。

本データ例から2次元電子ガス6の面濃度 N_s が本発明により顕著に増大することが明らかであり、 $\text{In}_{0.48}\text{Ga}_{0.52}\text{P}$ 電子供給層4の不純物濃度を本実施例の $1 \times 10^{18}\text{cm}^{-3}$ より高くすれば、面濃度 N_s を更に増加させることができる。

なお移動度 μ_n は常温300Kにおいては同等と見做される。低温では従来知られている事実と同

様に面濃度 N_s の増加に伴う移動度 μ_n の減少傾向が見られて、使用目的に即して両者の兼ね合いを $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャンネル層 3 の厚さ等により選択することとなる。

また第3図は本発明の第2の実施例を示す模式断面図である。

本実施例の半導体基体は半絶縁性GaAs基板11上に、超格子構造のバッファ層12、バッファ層とチャンネル層を兼ねる InGaAs 層13、 InGaP 電子供給層14を例えば下記の如くMOCVD法により形成し、ソース、ドレイン電極18、ゲート電極19を設けている。

符号	組成	不純物	厚さ
14	$\text{In}_x\text{Ga}_{1-x}\text{P}$; $x=0.75$	$\text{Si}-1 \times 10^{18} \text{cm}^{-3}$	$\approx 30 \text{nm}$
13	$\text{In}_x\text{Ga}_{1-x}\text{As}$; $x=0.30$	ノンドープ	$\approx 1 \mu\text{m}$
12	下記 12a、12b を10~20層交互に積層		
12b	InAs	ノンドープ	$\approx 1.5 \text{nm}$
12a	GaAs	ノンドープ	$\approx 1.5 \text{nm}$

本実施例では $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャンネル層13の混晶比を例えば $x=0.30$ とし、 $\text{In}_x\text{Ga}_{1-x}\text{P}$ 電子供給層14

をこれに格子整合する $x=0.75$ として、これらの層とGaAs基板11との間の格子不整合をGaAs/ InAs 超格子構造のバッファ層12により緩和している。

本実施例も前記第1の実施例と同等以上の2次元電子ガス16の面濃度 N_s が得られている。

なお本発明は上述の説明に引例したHEMTにその適用を限られるものではなく、例えば速度変調トランジスタ (Velocity-Modulation Transistor, H.Sakaki: Jpn.J.Appl.Phys. Vol.21, No.6, 1982年6月)、又は単層量子井戸トランジスタ (Single Quantum Well Transistor, C.Hamaguchi他: Jpn.J.Appl.Phys. Vol.23, No.3, 1984年3月) 等の空間分離ドーピングと界面量子化による高移動度のキャリアを利用する半導体装置全般に適用することが可能である。

(発明の効果)

以上説明した如く本発明によれば、ヘテロ接合により界面量子化されたキャリアをチャンネルとする半導体装置において、動作の不安定性の排除、

キャリア濃度の増大などが更に推進され、高速デバイスとして期待されるHEMT等に大きい効果が得られる。

8、18はソース、ドレイン電極、

9、19はゲート電極を示す。

4. 図面の簡単な説明

第1図は第1の実施例の模式断面図及びエネルギーバンド図、

第2図は2次元電子ガスの面濃度と移動度の例を示す図、

第3図は第2の実施例の模式断面図、

第4図は従来例の模式断面図及びエネルギーバンド図である。

図において、

1、11は半絶縁性GaAs基板、

2はノンドープのAlGaAsバッファ層、

12はGaAs/ InAs 超格子構造のバッファ層、

3、13は $\text{In}_x\text{Ga}_{1-x}\text{As}$ チャンネル層、

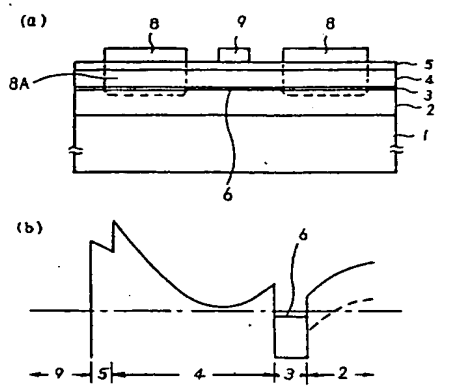
4、14は $\text{In}_x\text{Ga}_{1-x}\text{P}$ 電子供給層、

5はノンドープのGaAs層、

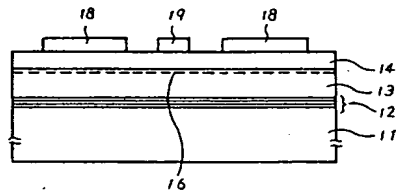
6、16は2次元電子ガス、

代理人 弁理士 井桁貞一

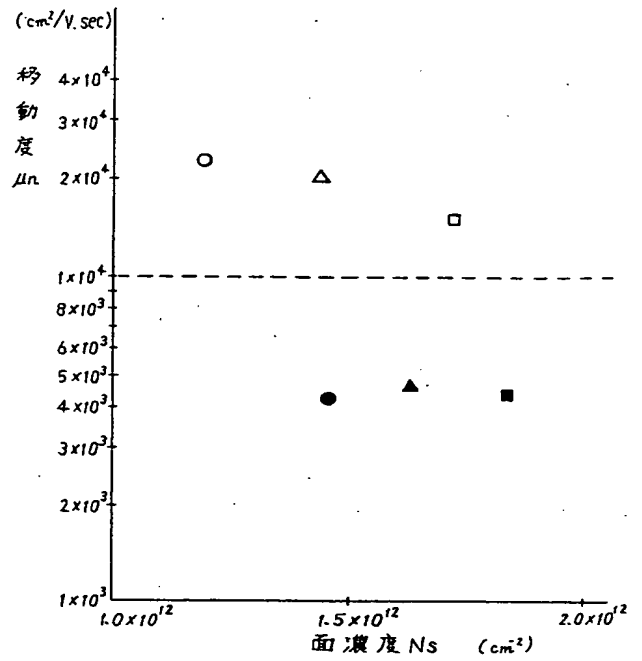




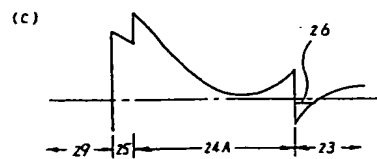
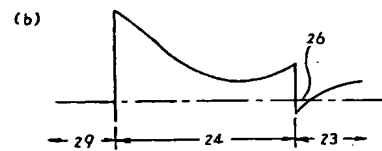
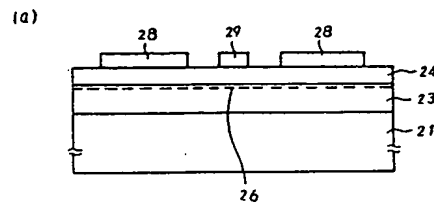
第1の実施例の模式断面図及びエネルギーバンド図
第1図



第2の実施例の模式断面図
第3図



2次元電子ガスの面濃度と移動度
第2図



従来例の模式断面図及びエネルギーバンド図
第4図